

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Kentaro NAKAJIMA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: MAGNETIC MEMORY DEVICE WITH DIVIDED WRITE WIRINGS

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number \_\_\_\_\_, filed \_\_\_\_\_, is claimed pursuant to the provisions of 35 U.S.C. §120.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. \_\_\_\_\_ Date Filed \_\_\_\_\_

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

Japan

APPLICATION NUMBER

2002-268269

MONTH/DAY/YEAR

September 13, 2002

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_

☐ were submitted to the International Bureau in PCT Application Number \_\_\_\_\_

Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_; and


☐ (B) Application Serial No.(s) \_\_\_\_\_

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

Address: 1100 N. 17th St.  
Registration Number 01,124

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月13日

出 願 番 号

Application Number:

特願2002-268269

[ ST.10/C ]:

[ JP2002-268269 ]

出 願 人

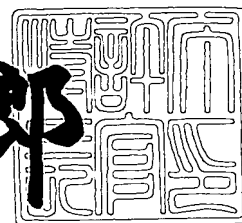
Applicant(s):

株式会社東芝

2003年 5月23日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3038195

【書類名】 特許願

【整理番号】 A000200522

【提出日】 平成14年 9月13日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明の名称】 磁気記憶装置

【請求項の数】 18

【発明者】

    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横  
浜事業所内

    【氏名】 中島 健太郎

【発明者】

    【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研  
究開発センター内

    【氏名】 砂井 正之

【発明者】

    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横  
浜事業所内

    【氏名】 細谷 啓司

【発明者】

    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横  
浜事業所内

    【氏名】 浅尾 吉昭

【特許出願人】

    【識別番号】 000003078

    【氏名又は名称】 株式会社 東芝

【代理人】

    【識別番号】 100058479

    【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円



【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 磁気記憶装置

【特許請求の範囲】

【請求項 1】 第 1 の方向に延在され、この第 1 の方向と異なる第 2 の方向に複数に分割された第 1 の配線と、

前記第 2 の方向に延在された第 2 の配線と、

第 1 のメモリセル領域内の前記第 1 及び第 2 の配線の交点近傍に配置され、分割された前記第 1 の配線を跨ぐ第 1 の磁気抵抗効果素子と  
を具備することを特徴とする磁気記憶装置。

【請求項 2】 前記第 1 の配線は、同一面上で分割されていることを特徴とする請求項 1 に記載の磁気記憶装置。

【請求項 3】 前記第 1 の配線間の距離は、前記第 1 の磁気抵抗効果素子の前記第 2 の方向における長さよりも短いことを特徴とする請求項 1 に記載の磁気記憶装置。

【請求項 4】 前記第 1 の配線に電流を流した際に発生する磁界の強度は、前記第 1 の磁気抵抗効果素子の面内において複数の極大値を有することを特徴とする請求項 1 に記載の磁気記憶装置。

【請求項 5】 前記極大値は、前記第 1 の磁気抵抗効果素子の端部に存在することを特徴とする請求項 4 に記載の磁気記憶装置。

【請求項 6】 前記第 2 の配線が、前記第 1 の方向に複数に分割されていることを特徴とする請求項 1 に記載の磁気記憶装置。

【請求項 7】 前記第 2 の配線間の距離は、前記第 1 の磁気抵抗効果素子の前記第 1 の方向における長さよりも短いことを特徴とする請求項 6 に記載の磁気記憶装置。

【請求項 8】 前記第 1 の配線は、ワード線であることを特徴とする請求項 1 に記載の磁気記憶装置。

【請求項 9】 前記第 1 の配線は、ビット線であることを特徴とする請求項 1 に記載の磁気記憶装置。

【請求項 10】 分割された前記第 1 の配線のうち、一方の配線は前記第 1

の磁気抵抗効果素子と接して配置され、他方の配線は前記第 1 の磁気抵抗効果素子と離間して配置されている

ことを特徴とする請求項 1 に記載の磁気記憶装置。

【請求項 1 1】 前記一方の配線は、前記第 1 の磁気抵抗効果素子に対して書き込み及び読み出し配線として使用され、

前記他方の配線は、前記第 1 の磁気抵抗効果素子に対して書き込み配線として使用される

ことを特徴とする請求項 1 0 に記載の磁気記憶装置。

【請求項 1 2】 前記第 1 の磁気抵抗効果素子に第 1 の段差部が設けられていることを特徴とする請求項 1 0 に記載の磁気記憶装置。

・【請求項 1 3】 前記第 1 のメモリセル領域の一方に隣接する第 2 のメモリセル領域と、

前記第 1 のメモリセル領域の他方に隣接する第 3 のメモリセル領域と、

前記第 2 のメモリセル領域内に配置された第 2 の磁気抵抗効果素子と、

前記第 3 のメモリセル領域内に配置された第 3 の磁気抵抗効果素子と

をさらに具備し、

前記一方の配線は、前記第 1 のメモリセル領域から前記第 2 のメモリセル領域内まで延在され、前記第 2 の磁気抵抗効果素子と離間して配置されており、

前記他方の配線は、前記第 1 のメモリセル領域から前記第 3 のメモリセル領域内まで延在され、前記第 3 の磁気抵抗効果素子と接して配置されている

することを特徴とする請求項 1 0 に記載の磁気記憶装置。

【請求項 1 4】 前記一方の配線は、前記第 2 の磁気抵抗効果素子に対して書き込み配線として使用され、

前記他方の配線は、前記第 3 の磁気抵抗効果素子に対して書き込み及び読み出し配線として使用される

ことを特徴とする請求項 1 3 に記載の磁気記憶装置。

【請求項 1 5】 前記第 2 の磁気抵抗効果素子に第 2 の段差部が設けられ、前記第 3 の磁気抵抗効果素子に第 3 の段差部が設けられていることを特徴とする請求項 1 3 に記載の磁気記憶装置。

【請求項 1 6】 分割された前記第 1 の配線は、前記第 1 のメモリセル領域の外側に位置する周辺回路領域で接続されていることを特徴とする請求項 1 に記載の磁気記憶装置。

【請求項 1 7】 前記第 1 のメモリセル領域と前記周辺回路領域とは、前記第 1 の配線の配線ピッチが異なることを特徴とする請求項 1 6 に記載の磁気記憶装置。

【請求項 1 8】 前記第 1 のメモリセル領域の前記第 1 の方向に隣接する第 4 のメモリセル領域と、

前記第 4 のメモリセル領域内に配置された第 4 の磁気抵抗効果素子と  
をさらに具備し、

分割された前記第 1 の配線の一部が前記第 4 の磁気抵抗効果素子の書き込み配線としても使用される

ことを特徴とする請求項 1 に記載の磁気記憶装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、強磁性体を用いた情報再生技術に係わり、特に磁気抵抗効果素子を利用した磁気記憶装置に関する。

【0 0 0 2】

【従来の技術】

磁気ランダムアクセスメモリ（Magnetic Random Access Memory：以下 M R A M と略記）とは、情報の記録媒体として強磁性体の磁化方向を利用した、記録情報を随時、書き換え、保持、読み出すことができる固体メモリの総称である。

【0 0 0 3】

M R A M のメモリセルは、通常複数の強磁性体を積層した構造を有する。情報の記録は、メモリセルを構成する複数の強磁性体の磁化の相対配置を平行又は反平行にし、この平行又は反平行の状態を 2 進の情報“1”、“0”にそれぞれ対応させて行う。記録情報の書き込みは、クロスストライプ状に配置された書き込み配線に電流を流し、この電流によって生じる電流磁界により、各セルの強磁性



体の磁化方向を反転させることによって行われる。記録保持時の消費電力は原理的にゼロであり、また電源を切っても記録保持が行われる不揮発性メモリである。一方、記録情報の読み出しは、セルを構成する強磁性体の磁化方向とセンス電流との相対角又は複数の強磁性層間の磁化の相対角によってメモリセルの電気抵抗が変化する現象、いわゆる磁気抵抗効果を利用して行う。

#### 【0004】

MRAMの機能と従来の誘電体を用いた半導体メモリの機能とを比較すると、  
 (1) 完全な不揮発性であり、また $10^{15}$ 回以上の書き換えが可能であること、  
 (2) 非破壊読み出しが可能であり、リフレッシュ動作を必要としないため読み出しサイクルを短くすることが可能であること、(3) 電荷蓄積型のメモリセルに比べ、放射線に対する耐性が強いこと、等の多くの利点を有している。MRAMの単位面積あたりの集積度、書き込み及び読み出し時間は、おおむねDRAMと同程度となりうることが予想される。従って、不揮発性という大きな特色を生かし、携帯機器用の外部記録装置、LSI混載用途、さらにはパーソナルコンピュータの主記憶メモリへの応用が期待されている。

#### 【0005】

現在、実用化の検討が進められているMRAMでは、メモリセルに強磁性トンネル効果(Tunnel Magneto-Resistance: 以下TMR効果と略記)を示す素子を用いている(例えば、非特許文献1参照。)。このTMR効果を示す素子(以下TMR素子と略記)は、主として強磁性層/絶縁層/強磁性層からなる3層膜で構成され、絶縁層をトンネルして電流が流れる。トンネル抵抗値は、両強磁性金属層の磁化の相対角の余弦に比例して変化し、両磁化が反平行の場合に極大値をとる。例えばNiFe/Cu/Al<sub>2</sub>O<sub>3</sub>/Cu/NiFeからなるトンネル接合では、500eV以下の低磁界において25%を越える磁気抵抗変化率が見いだされている(例えば、非特許文献2参照。)。TMR素子の構造としては、磁界感度の改善を目的として、一方の強磁性体に隣接して反強磁性体を配置し、磁化方向を固着させた、いわゆるスピバルブ構造のもの(例えば、非特許文献3参照。)、また磁気抵抗変化率のバイアス依存性を改善するために、2重のトンネルバリアを設けたもの(例えば、非特許文献4参照。))が、知られている。

【 0 0 0 6 】

【非特許文献 1】

Roy Scheuerlein, et al., A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell, 「2000 ISSCC Digest of Technical Papers」, (米国), 2000年2月, p.128-129

【 0 0 0 7 】

【非特許文献 2】

M Sato, et al., Spin-Valve-Like Properties and Annealing Effect in Ferromagnetic Tunnel Junctions, 「IEEE Trans.Mag.」, (米国), 1997年, 第33巻, 第5号, p.3553-3555

【 0 0 0 8 】

【非特許文献 3】

M Sato, et al., Spin-Valve-Like Properties of Ferromagnetic Tunnel Junctions, 「Jpn.J.Appl.Phys.」, 1997年, 第36巻, Part 2, p.200-201

【 0 0 0 9 】

【非特許文献 4】

K Inomata, et al., Spin-dependent tunneling between a soft ferromagnetic layer and hard magnetic nano particles, 「Jpn.J.Appl.Phys.」, 1997年, 第36巻, Part 2, p.1380-1383

【 0 0 1 0 】

【特許文献 1】

米国特許第5,940,319号明細書

【 0 0 1 1 】

【特許文献 2】

米国特許第5,956,267号明細書

【 0 0 1 2 】

【特許文献 3】

国際公開第00/10172号パンフレット

【 0 0 1 3 】

【特許文献 4】

特開平8-306014号公報

【 0 0 1 4 】

【特許文献 5】

米国特許第5,946,228号明細書

【 0 0 1 5 】

【特許文献 6】

米国特許第6,072,718号明細書

【 0 0 1 6 】

【特許文献 7】

米国特許第6,104,633号明細書

【 0 0 1 7 】

【特許文献 8】

米国特許第6,005,800号明細書

【 0 0 1 8 】

【特許文献 9】

米国特許第6,081,445号明細書

【 0 0 1 9 】

【特許文献 1 0】

米国特許第6,134,139号明細書

【 0 0 2 0 】

【特許文献 1 1】

米国特許第6,005,800号明細書

【 0 0 2 1 】

【発明が解決しようとする課題】

しかしながら、G b 級以上の集積度を持つMRAMを開発するためには、解決すべき課題が幾つか残っている。

【 0 0 2 2 】

このMRAM開発の課題の一つとして、書き込み電流の低減があげられる。従来提案されているMRAMでは、図15(a), (b)に示すように、配線 $w w 1$ 、 $b 1$ に電流を流して、この電流により発生した磁界で磁気抵抗効果素子（以下MTJ (Magnetic Tunnel Junction) と称す） $1 1$ の記録層の磁化を反転させる。配線 $w w 1$ 、 $b 1$ から発生する磁界強度は、配線 $w w 1$ 、 $b 1$ の電流値と配線 $w w 1$ 、 $b 1$  - MTJ  $1 1$ 間の距離とに依存して変化するが、従来知られている報告例ではおよそ数 $O e / m A$ 程度である。さらに、MTJ  $1 1$ の記録層の磁化反転閾値（以下スイッチング磁界 $H s w$ と定義）は、次式(1)のようにMTJ  $1 1$ の磁化困難軸方向のサイズ（以下セル幅 $w$ と定義）に反比例して増大する。尚、式(1)において、従来知られている $A$ の値は $1 0 \sim 2 0 0 e m$ である。

【0023】

$$H s w = H s w^0 + A / w \cdots (1)$$

ここで、配線の信頼性を考えた場合、エレクトロマイグレーションが一つの制限を与える。エレクトロマイグレーションは配線電流密度で加速される。そして、現在LSI製造に用いられている $A l - C u$ 配線、 $C u$ 配線における電流密度の上限は、それぞれおよそ $1 0 m A / m^2$ 、 $1 0 0 m A / m^2$ 程度である。仮に、Gb級の集積度の実現に必要な $0.1 m$ ルールでの製造を考えた場合、 $C u$ 配線を用いた場合でも配線に流せる電流値の上限は $1 m A$ 程度であり、この電流により発生する磁界の値は数 $O e$ 程度である。一方、 $0.1 m$ 程度のサイズのMTJのスイッチング磁界は、式(1)に従うと数 $1 0 0 e$ 以上になる。すなわち、現状の技術では、Gb級のMRAMの実現は、非常に困難であった。

【0024】

尚、この点を解決するため、例えば、特許文献1、特許文献2、特許文献3、また特許文献4に記載されているように、配線の周囲に高透磁率の磁性材料によるキーパー層又はヨーク構造を設けた例が提案されている。これらの方法は、配線の周囲に発生した磁束をキーパー層又はヨーク構造内に収束させることで、MTJ近傍に生じる磁界の向上を図り、書き込み電流値の低減を目的としたものである。また、配線とMTJの配置を変化させることで書き込み電流値の低減を図った例として、例えば、特許文献5、特許文献6、特許文献7、特許文献8に開

示された方式もある。また、書き換え電流値の許容幅を高めることを目的として、書き換え時の電流方向とMTJの容易軸方向とを相対角を適宜制御した例として、特許文献9、特許文献10、特許文献11に開示された方法が知られている。

#### 【0025】

本発明は上記課題を解決するためになされたものであり、その目的とするところは、書き込み電流を低減することが可能な磁気記憶装置を提供することにある。

#### 【0026】

##### 【課題を解決するための手段】

本発明は、前記目的を達成するために以下に示す手段を用いている。

#### 【0027】

本発明の第1の視点による磁気記憶装置は、第1の方向に延在され、この第1の方向と異なる第2の方向に複数に分割された第1の配線と、前記第2の方向に延在された第2の配線と、第1のメモリセル領域内の前記第1及び第2の配線の交点近傍に配置され、分割された前記第1の配線を跨ぐ第1の磁気抵抗効果素子とを具備する。

#### 【0028】

##### 【発明の実施の形態】

本発明の実施の形態を以下に図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

#### 【0029】

##### 〔第1の実施形態〕

第1の実施形態は、1つの磁気抵抗効果素子に対する書き込みワード線を、同一平面上で複数に分割したものである。

#### 【0030】

図1(a)は、本発明の第1の実施形態に係る磁気記憶装置の模式的な平面図を示す。図1(b)は、図1のIB-IB線に沿った磁気記憶装置の断面図を示す。

## 【 0 0 3 1 】

図 1 ( a ) , ( b ) に示すように、ビット線 B L 及び書き込みワード線 W W L 間のビット線 B L 及び書き込みワード線 W W L の交点付近に、磁気抵抗効果素子 1 1 が配置されている。この磁気抵抗効果素子 1 1 の上面にはビット線 B L が接続され、磁気抵抗効果素子 1 1 の下面には下部金属層 1 2 及びコンタクト 1 3 を介して M O S トランジスタ等のスイッチング素子 ( 図示せず ) が接続されている。

## 【 0 0 3 2 】

そして、第 1 の実施形態に係る磁気記憶装置は、 1 つの磁気抵抗効果素子 1 1 に対して、複数に分割された書き込みワード線 W W L 1 , W W L 2 が同一平面上に配置されている。この書き込みワード線 W W L 1 , W W L 2 は、延在方向と異なる方向、すなわち磁気抵抗効果素子 1 1 の長さ X 方向に、分割されている。そして、書き込みワード線 W W L 1 , W W L 2 の間隔 D は、磁気抵抗効果素子 1 1 の長さ X よりも短くなっている。従って、磁気抵抗効果素子 1 1 は、書き込みワード線 W W L 1 , W W L 2 を跨いでいる。

## 【 0 0 3 3 】

ここで、磁気抵抗効果素子 1 1 は、長さ X が幅 Y よりも大きなアスペクト比が 1 以上の矩形の形状であることが望ましい。これは、残留磁化状態での角型比を向上させるため、また磁化反転時の磁界閾値及びその閾値ばらつきを低減させるためである。このような磁気抵抗効果素子 1 1 を形成するには、幅 Y を加工時の最小加工寸法に設定すれば、長さ X は最小加工寸法よりも大きくなり、アスペクト比が 1 以上の矩形形状となる。

## 【 0 0 3 4 】

尚、磁気抵抗効果素子 1 1 にデータを書き込む場合は、ビット線 B L 及び書き込みワード線 W W L 1 , W W L 2 が用いられる。一方、磁気抵抗効果素子 1 1 に書き込まれたデータを読み出す場合は、ビット線 B L 及びスイッチング素子が用いられる。この際、スイッチング素子として M O S トランジスタを使用した場合は、M O S トランジスタのゲートが読み出しワード線として機能する。

## 【 0 0 3 5 】

また、磁気抵抗効果素子 11 は、例えば、磁化の向きが固定された磁化固着層（磁性層）と、トンネル接合層（非磁性層）と、磁化の向きが反転する磁気記録層（磁性層）とからなる TMR（Tunnel Magneto-Resistance）素子である。また、TMR 素子は、上記のような 1 層のトンネル接合層からなる 1 重トンネル接合構造であってもよいし、2 層のトンネル接合層からなる 2 重トンネル接合構造であってもよい。さらに、磁化固着層及び磁気記録層の少なくとも一方は、強磁性層と非磁性層と強磁性層とからなる 3 層構造であってもよい。

## 【0036】

以上のような第 1 の実施形態によれば、磁気抵抗効果素子 11 の付近の書き込み電流の磁界分布が、書き込みワード線を分割しない場合と異なる。この点について、図 2（a），（b）乃至図 6（a），（b）を用いて、具体的に説明する。

## 【0037】

図 2（a）乃至図 6（a）において、破線は、第 1 の実施形態における書き込みワード線 WWL1，WWL2 から発生するそれぞれの磁界強度を示し、実線は、第 1 の実施形態における書き込みワード線 WWL1，WWL2 の発生磁界の和の磁界強度を示し、点線は、従来例における分割されていない書き込みワード線 ww1 から発生する磁界強度を示す。尚、図 2（a）乃至図 6（a）は、書き込みワード線 WWL1，WWL2，ww1 の表面から 50 nm 離れた点での磁界の一次元分布である。

## 【0038】

図 2（b）乃至図 6（b）において、第 1 の実施形態では、書き込みワード線 WWL1，WWL2 にそれぞれ 1 mA の電流を流し、従来例では、書き込みワード線 ww1 に 2 mA の電流を流している。つまり、第 1 の実施形態で書き込みワード線 WWL1，WWL2 に流す電流値の和を、従来例で書き込みワード線 ww1 に流す電流値と等しくしている。

## 【0039】

図 2（a）は、書き込みワード線 WWL1，WWL2 及び従来例の書き込みワード線 ww1 における端部の位置が、磁気抵抗効果素子 11 の端部の位置と等し

い場合における磁界強度分布の違いを示している。つまり、図 2 (b) に示すように、第 1 の実施形態における書き込みワード線 WWL 1, WWL 2 は、幅 1 0 0 n m、高さ 1 0 0 n m の正方形として、1 0 0 n m の間隔を設けて同一平面上に配置し、従来例における書き込みワード線 ww 1 は、幅 3 0 0 n m、高さ 1 0 0 n m の長方形とする。この場合、第 1 の実施形態における合成磁界強度は、従来例と比較して、磁気抵抗効果素子 1 1 の中心部では小さくなるが、磁気抵抗効果素子 1 1 の端部付近では大きくなる。

#### 【 0 0 4 0 】

図 3 (a) は、書き込みワード線 WWL 1, WWL 2 おける端部の位置が磁気抵抗効果素子 1 1 の端部の位置と等しく、かつ、従来例の書き込みワード線 ww 1 における端部の位置が磁気抵抗効果素子 1 1 の端部よりも外側に位置する場合における磁界強度分布の違いを示している。つまり、図 3 (b) に示すように、第 1 の実施形態における書き込みワード線 WWL 1, WWL 2 は、幅 1 0 0 n m、高さ 1 0 0 n m の正方形として、1 0 0 n m の間隔を設けて同一平面上に配置し、従来例における書き込みワード線 ww 1 は、幅 4 0 0 n m、高さ 1 0 0 n m の長方形とする。この場合、図 2 (a) と同様に、第 1 の実施形態における合成磁界強度は、従来例と比較して、磁気抵抗効果素子 1 1 の中心部では小さくなるが、磁気抵抗効果素子 1 1 の端部付近では大きくなる。さらに、第 1 の実施形態における合成磁界強度は、図 2 (a) よりも図 3 (a) の場合の方が、従来例よりも磁気抵抗効果素子 1 1 の端部付近を大きくできる。つまり、従来例の配線 ww 1 において幅／高さの比が大きいほど、配線を分割した場合、磁気抵抗効果素子 1 1 の端部付近で磁界強度を大きくするという効果を高められる。

#### 【 0 0 4 1 】

図 4 (a) は、書き込みワード線 WWL 1, WWL 2 おける端部の位置が磁気抵抗効果素子 1 1 の端部よりも内側に位置し、かつ、従来例の書き込みワード線 ww 1 における端部の位置が磁気抵抗効果素子 1 1 の端部の位置と等しい場合における磁界強度分布の違いを示している。つまり、図 4 (b) に示すように、第 1 の実施形態における書き込みワード線 WWL 1, WWL 2 は、幅 1 0 0 n m、高さ 1 0 0 n m の正方形として、図 2 (b), 図 3 (b) の場合より小さな 5 0



n mの間隔を設けて同一平面上に配置し、従来例における書き込みワード線 w w l は、幅 3 0 0 n m、高さ 1 0 0 n mの長方形とする。この場合、図 2 ( a ) の場合とは異なり、第 1 の実施形態は、従来例と比較して、磁気抵抗効果素子 1 1 の面内においてより均一な合成磁界分布で、より高い強度の合成磁界が得られる。

#### 【 0 0 4 2 】

図 5 ( a ) は、書き込みワード線 W W L 1 , W W L 2 おける端部の位置が磁気抵抗効果素子 1 1 の端部よりも外側に位置し、かつ、従来例の書き込みワード線 w w l における端部の位置が磁気抵抗効果素子 1 1 の端部の位置と等しい場合における磁界強度分布の違いを示している。つまり、図 5 ( b ) に示すように、第 1 の実施形態における書き込みワード線 W W L 1 , W W L 2 は、幅 1 0 0 n m、高さ 1 0 0 n mの正方形として、図 2 ( b ) , 図 3 ( b ) の場合より大きな 2 0 0 n mの間隔を設けて同一平面上に配置し、従来例における書き込みワード線 w w l は、幅 3 0 0 n m、高さ 1 0 0 n mの長方形とする。この場合、図 2 ( a ) と同様に、第 1 の実施形態における合成磁界強度は、従来例と比較して、磁気抵抗効果素子 1 1 の中心部では小さくなるが、磁気抵抗効果素子 1 1 の端部付近では大きくなる。さらに、図 5 ( a ) における磁気抵抗効果素子 1 1 の端部での磁界の大きさは、図 2 ( a ) の場合よりも大きくなる。すなわち、分割した書き込みワード線 W W L 1 , W W L 2 の間隔を広げると磁気抵抗効果素子 1 1 近傍の磁界分布は双峰状になり、その磁界の最大値は分割しない場合に比べより大きくなる傾向を示す。

#### 【 0 0 4 3 】

図 6 ( a ) は、書き込みワード線 W W L 1 , W W L 2 及び従来例の書き込みワード線 w w l おける端部の位置が磁気抵抗効果素子 1 1 の端部よりも外側に位置する場合における磁界強度分布の違いを示している。つまり、図 6 ( b ) に示すように、第 1 の実施形態における書き込みワード線 W W L 1 , W W L 2 は、幅 1 0 0 n m、高さ 1 0 0 n mの正方形として、図 2 ( b ) , 図 3 ( b ) の場合より大きな 2 0 0 n mの間隔を設けて同一平面上に配置し、従来例における書き込みワード線 w w l は、幅 4 0 0 n m、高さ 1 0 0 n mの長方形とする。この場合、

図 2 (a) と同様に、第 1 の実施形態における合成磁界強度は、従来例と比較して、磁気抵抗効果素子 1 1 の中心部では小さくなるが、磁気抵抗効果素子 1 1 の端部付近では大きくなる。

【 0 0 4 4 】

ところで、磁気抵抗効果素子の磁化の反転は、次のように起こると考えられている。

【 0 0 4 5 】

図 7 は、矩形の磁気抵抗効果素子の磁化を反転させる場合の磁化状態を模式的に示したものである。動的磁化過程の計算、また実際の実験によれば、おおよそ  $0.1 \mu\text{m}$  程度の幅の矩形の強磁性体では、端部より磁化反転が始まり、中心部に向けて磁化反転が伝播していくことが知られている。このような知見は、強磁性体の面内に対して均一に磁界を印加した場合に得られたものである。しかし、図 7 に示すように、磁化過程が、逆磁区の発生～逆磁区拡大又は磁壁伝播で進むことを考慮すると、従来のように、磁気抵抗効果素子に均一に磁界をかける必要はない。

【 0 0 4 6 】

すなわち、上記図 2 (a) 乃至図 6 (a) で示したように、第 1 の実施形態の磁界分布のように磁気抵抗効果素子 1 1 の端部と中心部で磁界強度が異なってもよく、磁気抵抗効果素子 1 1 の端部の磁界が中心部の磁界に比べて高い方がより容易に磁化反転が生じる。

【 0 0 4 7 】

上記第 1 の実施形態によれば、1 つの磁気抵抗効果素子 1 1 に対して、分割した書き込みワード線 WWL 1, WWL 2 を用いている。このため、書き込みワード線 WWL が磁気抵抗効果素子 1 1 に与える磁界は、書き込みワード線 WWL 1, WWL 2 の合成磁界になる。つまり、従来例のように分割されていない 1 本の書き込みワード線 ww 1 が磁気抵抗効果素子 1 1 に与える磁界強度と同様の磁界強度を与えるには、1 本の書き込みワード線 ww 1 に流した  $1/2$  の電流を各書き込みワード線 WWL 1, WWL 2 に流せばよいことになる。従って、分割された書き込みワード線 WWL 1, WWL 2 を用いることで、従来例よりも、各書き

込みワード線WWL1, WWL2に流す書き込み電流を低減することができる。

【0048】

また、書き込みワード線WWL1, WWL2の間隔Dなどで、磁気抵抗効果素子11に対する位置を変更することで、磁気抵抗効果素子11に対して種々の磁界分布を形成することができる。従って、例えば、書き込みワード線WWL1, WWL2を磁気抵抗効果素子11の端部付近に配置することで、磁気抵抗効果素子11の端部の磁界強度を中心部の磁界強度よりも高めることができ、磁気抵抗効果素子11の磁化反転を容易にすることができる。

【0049】

#### [第2の実施形態]

第1の実施形態は書き込みワード線を分割した例であったのに対し、第2の実施形態はビット線を分割した例である。

【0050】

図8(a)は、本発明の第2の実施形態に係る磁気記憶装置の模式的な平面図を示す。図8(b)は、図8のVIIIB-VIIIB線に沿った磁気記憶装置の断面図を示す。

【0051】

図8(a), (b)に示すように、第2の実施形態において、第1の実施形態と異なる点は、書き込みワード線WWLではなく、ビット線BLが分割されている点である。つまり、ビット線BL1, BL2が同一平面上に配置されている。そして、ビット線BL1, BL2の間隔Dは、磁気抵抗効果素子11の長さXよりも短くなっているため、磁気抵抗効果素子11は、ビット線BL1, BL2を跨いでいる。

【0052】

尚、磁気抵抗効果素子11にデータを書き込む場合は、ビット線BL1, BL2及び書き込みワード線WWLが用いられる。一方、磁気抵抗効果素子11に書き込まれたデータを読み出す場合は、ビット線BL1, BL2及びスイッチング素子が用いられる。

【0053】

上記第 2 の実施形態によれば、第 1 の実施形態と同様、分割されたビット線 B L 1 , B L 2 を用いることで、従来例よりも、各ビット線 B L 1 , B L 2 に流す書き込み電流を低減することができる。

【 0 0 5 4 】

[第 3 の実施形態]

第 3 の実施形態は、第 2 の実施形態の変形例であり、分割されたビット線の一方を磁気抵抗効果素子と離間させ、他方を磁気抵抗効果素子に接するように配置している。

【 0 0 5 5 】

図 9 は、本発明の第 3 の実施形態に係る磁気記憶装置の断面図を示す。図 9 に示すように、第 3 の実施形態において、第 2 の実施形態と異なる点は、磁気抵抗効果素子 1 1 に段差部 1 4 を設け、ビット線 B L 1 は磁気抵抗効果素子 1 1 と接して配置し、ビット線 B L 2 は磁気抵抗効果素子 1 1 と離間して配置している点である。

【 0 0 5 6 】

そして、磁気抵抗効果素子 1 1 にデータを書き込む場合は、ビット線 B L 1 , B L 2 及び書き込みワード線 W W L が用いられる。一方、磁気抵抗効果素子 1 1 に書き込まれたデータを読み出す場合は、ビット線 B L 1 及びスイッチング素子が用いられる。すなわち、書き込み時には、分割されたビット線 B L 1 , B L 2 が全て用いられ、読み出し時には、分割されたビット線 B L 1 , B L 2 のうち磁気抵抗効果素子 1 1 に接するビット線 B L 1 のみが用いられる。

【 0 0 5 7 】

上記第 3 の実施形態によれば、第 2 の実施形態と同様の効果を得ることができる。

【 0 0 5 8 】

さらに、第 3 の実施形態では、読み出し時に、分割されたビット線 B L 1 , B L 2 のうち磁気抵抗効果素子 1 1 に接するビット線 B L 1 のみを用いる。このため、第 2 の実施形態よりも、読み出し時に使用する電流量を低減することができる。

## 【 0 0 5 9 】

尚、第 3 の実施形態は、隣接するメモリセル間で、ビット線 B L 1 , B L 2 を共有してもよい。つまり、図 1 0 に示すように、第 1 のメモリセルの書き込み及び読み出し用ビット線 B L 1 を、第 2 のメモリセルの書き込み用ビット線として使用し、第 1 のメモリセルの書き込み用ビット線 B L 2 を、第 3 のメモリセルの書き込み及び読み出し用ビット線として使用してもよい。図 1 0 の場合、上記第 3 の実施形態における効果が得られるだけでなく、メモリセル領域の専有面積を縮小することもできる。

## 【 0 0 6 0 】

## [ 第 4 の実施形態 ]

第 4 の実施形態は、第 1 の実施形態の変形例であり、分割された書き込みワード線を周辺回路領域で接続する例である。

## 【 0 0 6 1 】

図 1 1 ( a ) は、本発明の第 4 の実施形態に係る磁気記憶装置の模式的な平面図を示す。図 1 1 ( b ) は、図 1 1 の X I B - X I B 線に沿った磁気記憶装置の断面図を示す。

## 【 0 0 6 2 】

図 1 1 ( a ) , ( b ) に示すように、第 4 の実施形態において、第 1 の実施形態と異なる点は、書き込みワード線 W W L 1 , W W L 2 が、メモリセル領域の外側に位置する周辺回路領域において接続されている点である。つまり、メモリセル領域では書き込みワード線は分割されており、周辺回路領域では書き込みワード線は 1 本の配線になっている。従って、メモリセル領域と周辺回路領域では、書き込みワード線の配線ピッチが異なる。

## 【 0 0 6 3 】

上記第 4 の実施形態によれば、第 1 の実施形態と同様の効果を得ることができる。

## 【 0 0 6 4 】

さらに、第 4 の実施形態では、周辺回路領域では、分割された書き込みワード線が接続されて 1 本の配線になっている。このため、書き込みワード線の断面積

が大きくなる。従って、チップ全体での配線抵抗を低減させることが可能である。

#### 【 0 0 6 5 】

尚、第 4 の実施形態では、図 1 2 に示すように、ビット線 B L を分割し、この分割されたビット線 B L 1 , B L 2 を周辺回路領域で接続してもよい。

#### 【 0 0 6 6 】

##### [ 第 5 の実施形態 ]

第 1 の実施形態では、分割された書き込みワード線の全ての配線を隣接セルでも用いていたのに対し、第 5 の実施形態では、分割された書き込みワード線の一部の配線のみを隣接セルで用いた例である。

#### 【 0 0 6 7 】

図 1 3 ( a ) は、本発明の第 5 の実施形態に係る磁気記憶装置の模式的な平面図を示す。図 1 3 ( b ) は、図 1 3 の X I I I B - X I I I B 線に沿った磁気記憶装置の断面図を示す。

#### 【 0 0 6 8 】

図 1 3 ( a ) , ( b ) に示すように、第 5 の実施形態において、第 1 の実施形態と異なる点は、分割された書き込みワード線 W W L 1 , W W L 2 , W W L 3 に対して磁気抵抗効果素子 1 1 a , 1 1 b , 1 1 c , 1 1 d が互い違いに配置され、書き込みワード線 W W L 2 のみを隣接セルで共有している点である。

#### 【 0 0 6 9 】

つまり、第 1 の磁気抵抗効果素子 1 1 a にデータを書き込む場合は、2 本の書き込みワード線 W W L 1 , W W L 2 とビット線 B L 1 とが用いられる。第 2 の磁気抵抗効果素子 1 1 b にデータを書き込む場合は、2 本の書き込みワード線 W W L 2 , W W L 3 とビット線 B L 2 とが用いられる。第 3 の磁気抵抗効果素子 1 1 c にデータを書き込む場合は、2 本の書き込みワード線 W W L 1 , W W L 2 とビット線 B L 3 とが用いられる。第 4 の磁気抵抗効果素子 1 1 d にデータを書き込む場合は、2 本の書き込みワード線 W W L 2 , W W L 3 とビット線 B L 4 とが用いられる。

#### 【 0 0 7 0 】

上記第 5 の実施形態によれば、第 1 の実施形態と同様の効果を得ることができる。

#### 【 0 0 7 1 】

さらに、第 5 の実施形態は、書き込み時における隣接セル間の干渉を抑制できるという効果を有する。この効果について以下に説明する。

#### 【 0 0 7 2 】

通常、書き込み時には、2 本の書き込み配線を選択し、これら書き込み配線の交点に生じる合成磁界により、選択セルの磁気抵抗効果素子の記録層の磁化を反転させる。この場合、選択セル以外にいずれかの書き込み配線からの磁界を受ける半選択セルが存在し、半選択セルへの誤書き込みの問題があった。この誤書き込みの問題を防ぐために、書き換え動作時には選択セルの磁化は反転し、かつ半選択セルの磁化は反転しないように、書き換え電流値を調整する必要がある。大規模アレイでは、スイッチング磁界に分布が生じるために、一般に書き換え電流値の許容幅は非常に小さくなってしまう。

#### 【 0 0 7 3 】

このような問題に対して、第 5 の実施形態では、分割された書き込みワード線の一部の配線だけを隣接セルでも使用する。このため、一つのセルが選択されたときに、その隣接セルには一つの書き込みワード線しか対応していないことになる。つまり、図 1 3 で説明すると、第 1 の磁気抵抗効果素子 1 1 a にデータを書き込む場合は WWL 1, WWL 2 と BL 1 を選択するが、隣接する第 2 の磁気抵抗効果素子 1 1 b の書き込みワード配線は WWL 2, WWL 3 であるため、WWL 2 から発生する磁界だけでは第 2 の磁気抵抗効果素子 1 1 b の磁化は反転しない。従って、隣接セルの誤書き込みを低減することができる。

#### 【 0 0 7 4 】

尚、第 5 の実施形態では、図 1 4 (a), (b) に示すように、ビット線 BL を分割し、この分割されたビット線 BL 1, BL 2, BL 3 の一部の配線だけを隣接セルで使用してもよい。

#### 【 0 0 7 5 】

その他、本発明は、上記各実施形態に限定されるものではなく、実施段階では

その要旨を逸脱しない範囲で、種々に変形することが可能である。例えば、上記第 1 乃至第 5 の実施形態では、説明を容易にするために、配線の分割数を 2 本としたが、3 本以上の複数本に分割してもよい。また、ワード線とビット線は直交している必要はなく、有限の角度を持って交差していればよい。また、ビット線とワード線の両方が分割されていてもよく、例えば、図 1 (a) におけるビット線 B<sub>L</sub> をさらに分割する場合は、分割されたビット線間の距離は磁気抵抗効果素子の幅 Y よりも短くすることが望ましい。

#### 【0076】

さらに、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

#### 【0077】

##### 【発明の効果】

以上説明したように本発明によれば、書き込み電流を低減することが可能な磁気記憶装置を提供できる。

##### 【図面の簡単な説明】

#### 【図 1】

図 1 (a) は、本発明の第 1 の実施形態に係る磁気記憶装置を示す模式的な平面図、図 1 (b) は、図 1 の IB - IB 線に沿った磁気記憶装置を示す断面図。

#### 【図 2】

図 2 (a) は、第 1 の実施形態と従来例の書き込み電流の磁界分布を示す図、図 2 (b) は、第 1 の実施形態と従来例の書き込みワード線を示す断面図。

#### 【図 3】

図 3 (a) は、第 1 の実施形態と従来例の書き込み電流の他の磁界分布を示す図、図 3 (b) は、第 1 の実施形態と従来例の他の書き込みワード線を示す断面図。



## 【図 4】

図 4 (a) は、第 1 の実施形態と従来例の書き込み電流の他の磁界分布を示す図、図 4 (b) は、第 1 の実施形態と従来例の他の書き込みワード線を示す断面図。

## 【図 5】

図 5 (a) は、第 1 の実施形態と従来例の書き込み電流の他の磁界分布を示す図、図 5 (b) は、第 1 の実施形態と従来例の他の書き込みワード線を示す断面図。

## 【図 6】

図 6 (a) は、第 1 の実施形態と従来例の書き込み電流の他の磁界分布を示す図、図 6 (b) は、第 1 の実施形態と従来例の他の書き込みワード線を示す断面図。

## 【図 7】

本発明の第 1 の実施形態に係わる強磁性体の磁化の変化を示す図。

## 【図 8】

図 8 (a) は、本発明の第 2 の実施形態に係る磁気記憶装置を示す模式的な平面図、図 8 (b) は、図 8 のVIIIB - VIIIB 線に沿った磁気記憶装置を示す断面図。

## 【図 9】

本発明の第 3 の実施形態に係る磁気記憶装置を示す断面図。

## 【図 10】

本発明の第 3 の実施形態に係る他の磁気記憶装置を示す断面図。

## 【図 11】

図 11 (a) は、本発明の第 4 の実施形態に係る磁気記憶装置を示す模式的な平面図、図 11 (b) は、図 11 のXIB - XIB 線に沿った磁気記憶装置を示す断面図。

## 【図 12】

本発明の第 4 の実施形態に係る他の磁気記憶装置を示す断面図。

## 【図 13】

図 1 3 ( a ) は、本発明の第 5 の実施形態に係る磁気記憶装置を示す模式的な平面図、図 1 3 ( b ) は、図 1 3 のXIII B - XIII B 線に沿った磁気記憶装置を示す断面図。

【図 1 4】

図 1 4 ( a ) は、本発明の第 5 の実施形態に係る他の磁気記憶装置を示す模式的な平面図、図 1 4 ( b ) は、図 1 4 のXIV B - XIV B 線に沿った磁気記憶装置を示す断面図。

【図 1 5】

図 1 5 ( a ) は、従来技術による磁気記憶装置を示す模式的な平面図、図 1 5 ( b ) は、図 1 5 のXV B - XV B 線に沿った磁気記憶装置を示す断面図。

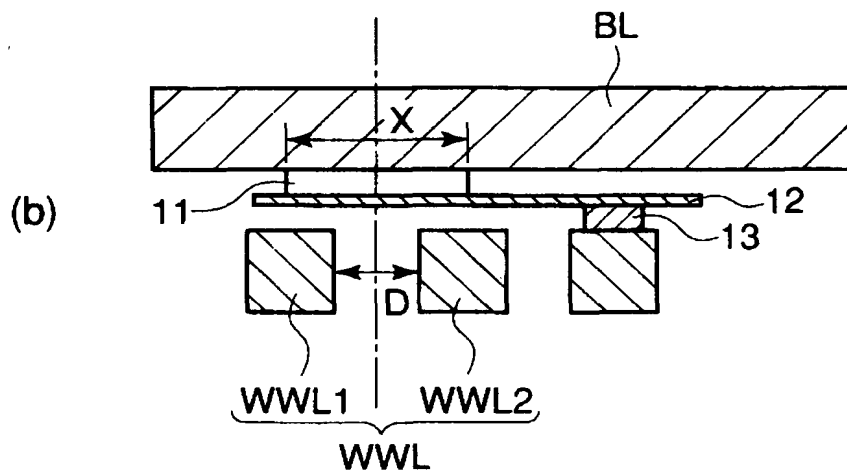
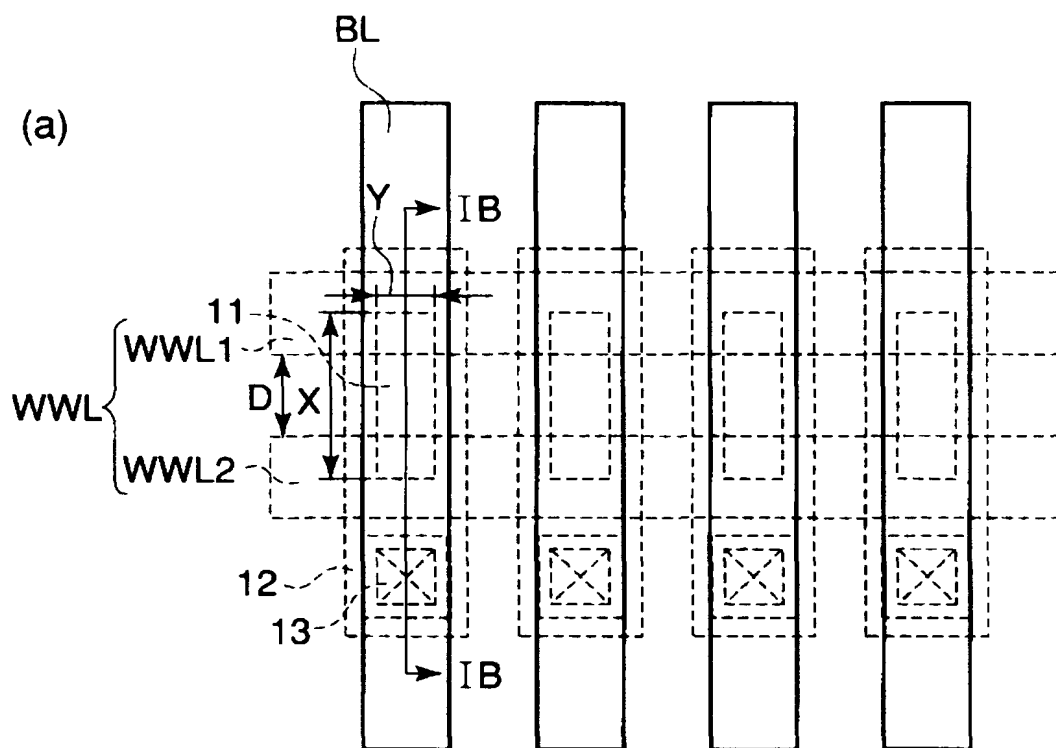
【符号の説明】

1 1、1 1 a、1 1 b、1 1 c …磁気抵抗効果素子、  
 1 2、1 2 a、1 2 b、1 2 c …下部金属層、  
 1 3、1 3 a、1 3 b、1 3 c …コンタクト、  
 1 4、1 4 a、1 4 b、1 4 c …段差部、  
 B L、B L 1、B L 2、B L 3、B L 4 …ビット線、  
 W W L、W W L 1、W W L 2、W W L 3 …書き込みワード線。

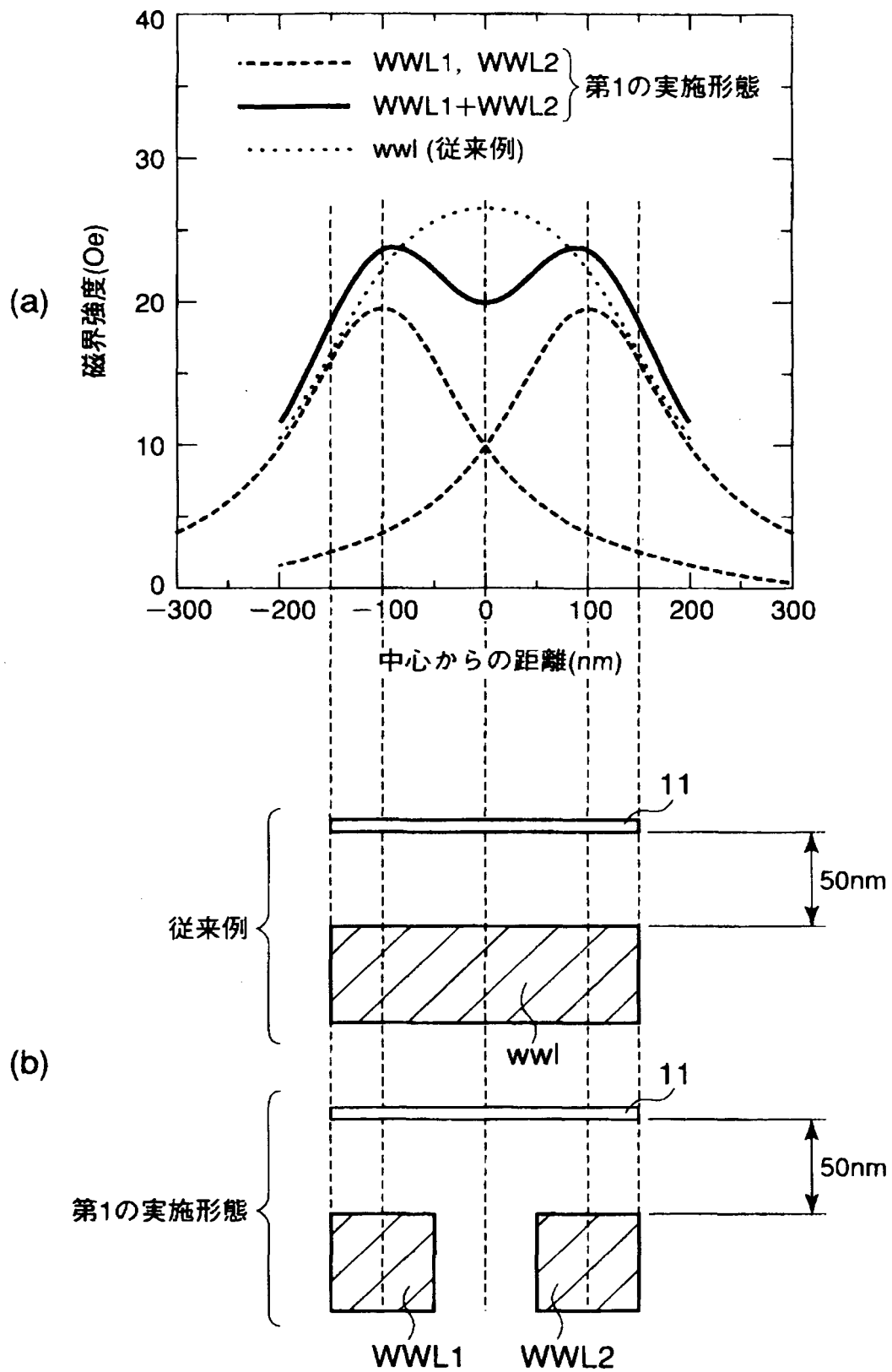
【書類名】

凶面

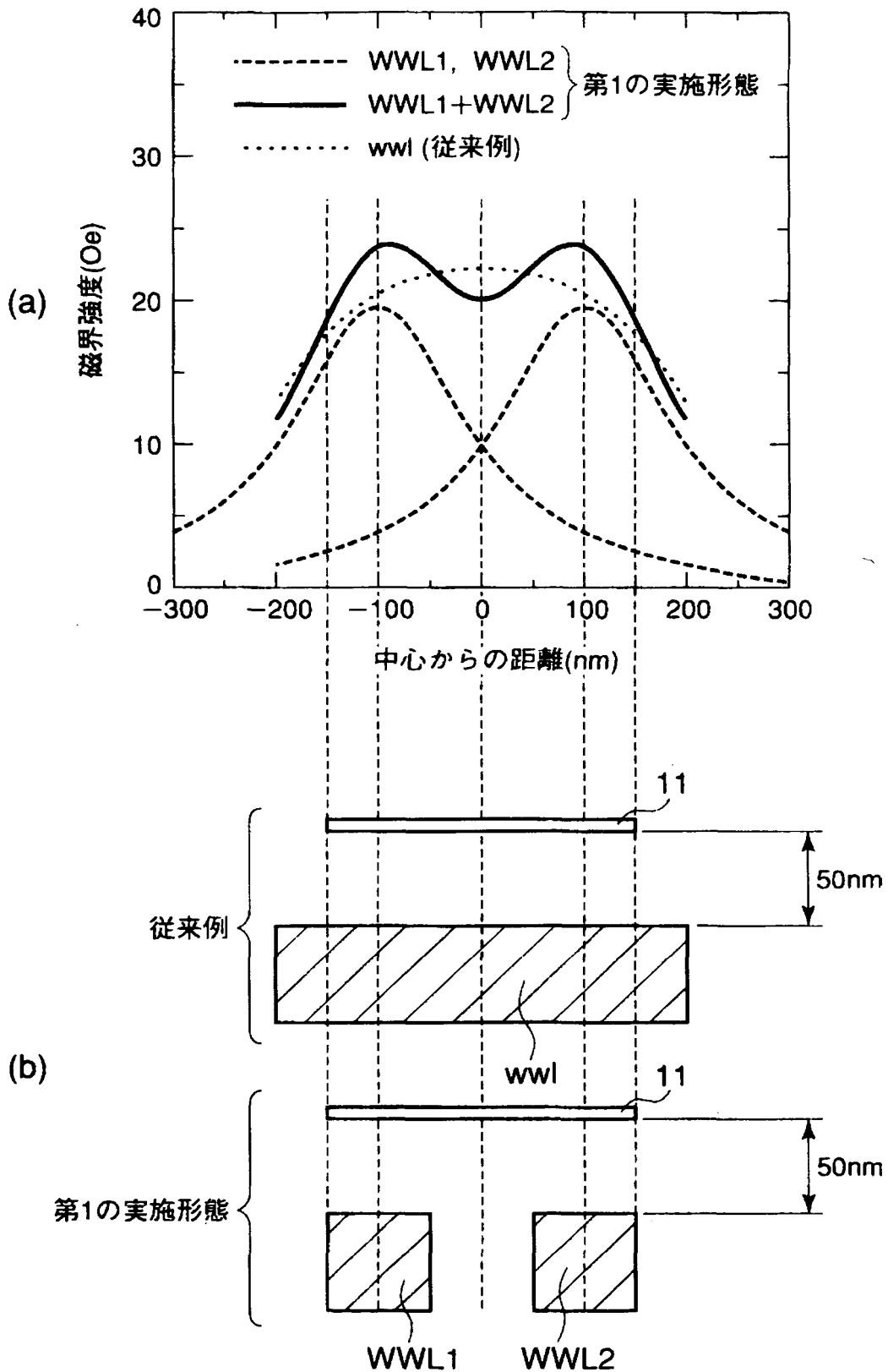
【図 1】



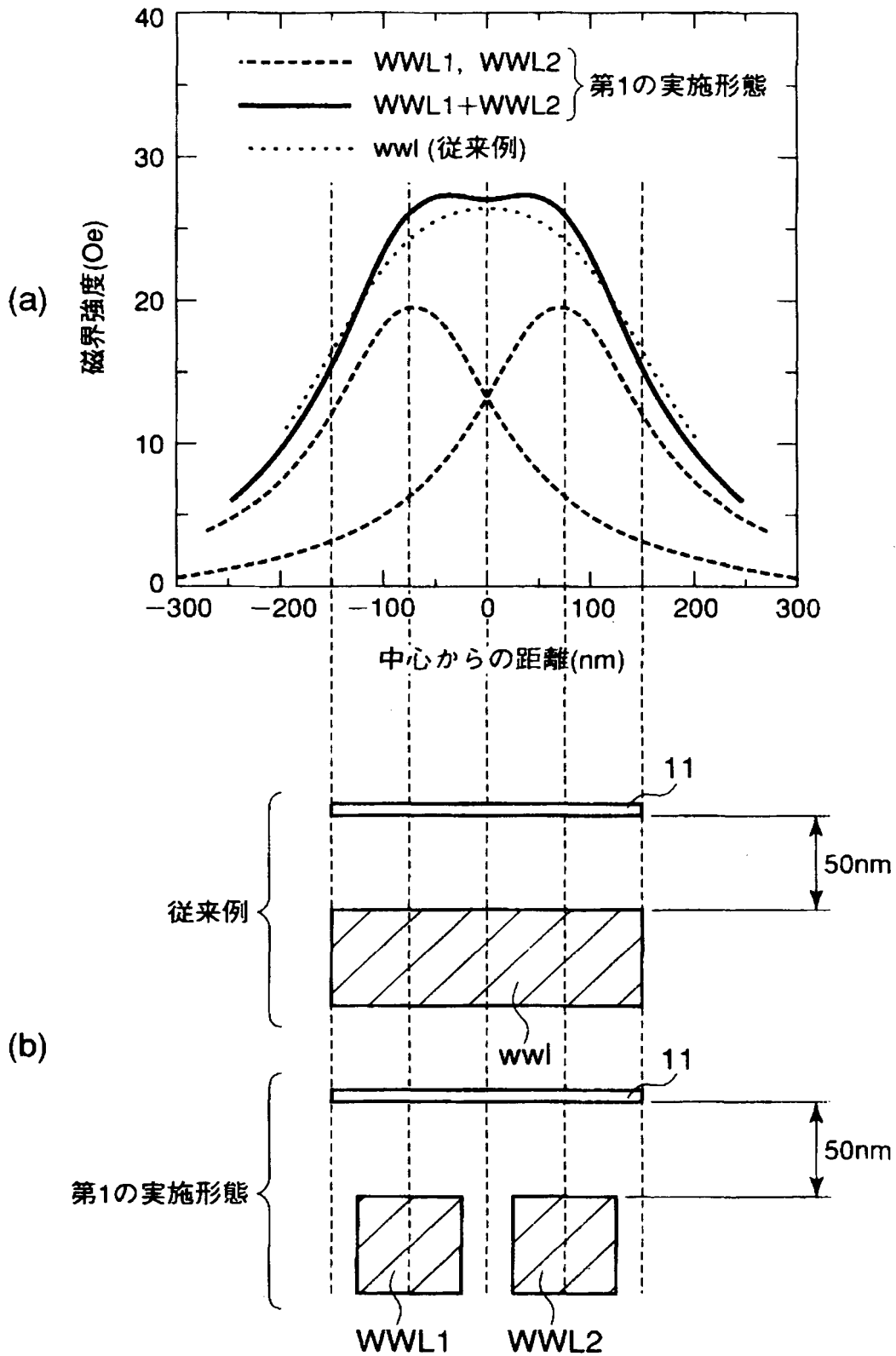
【図2】



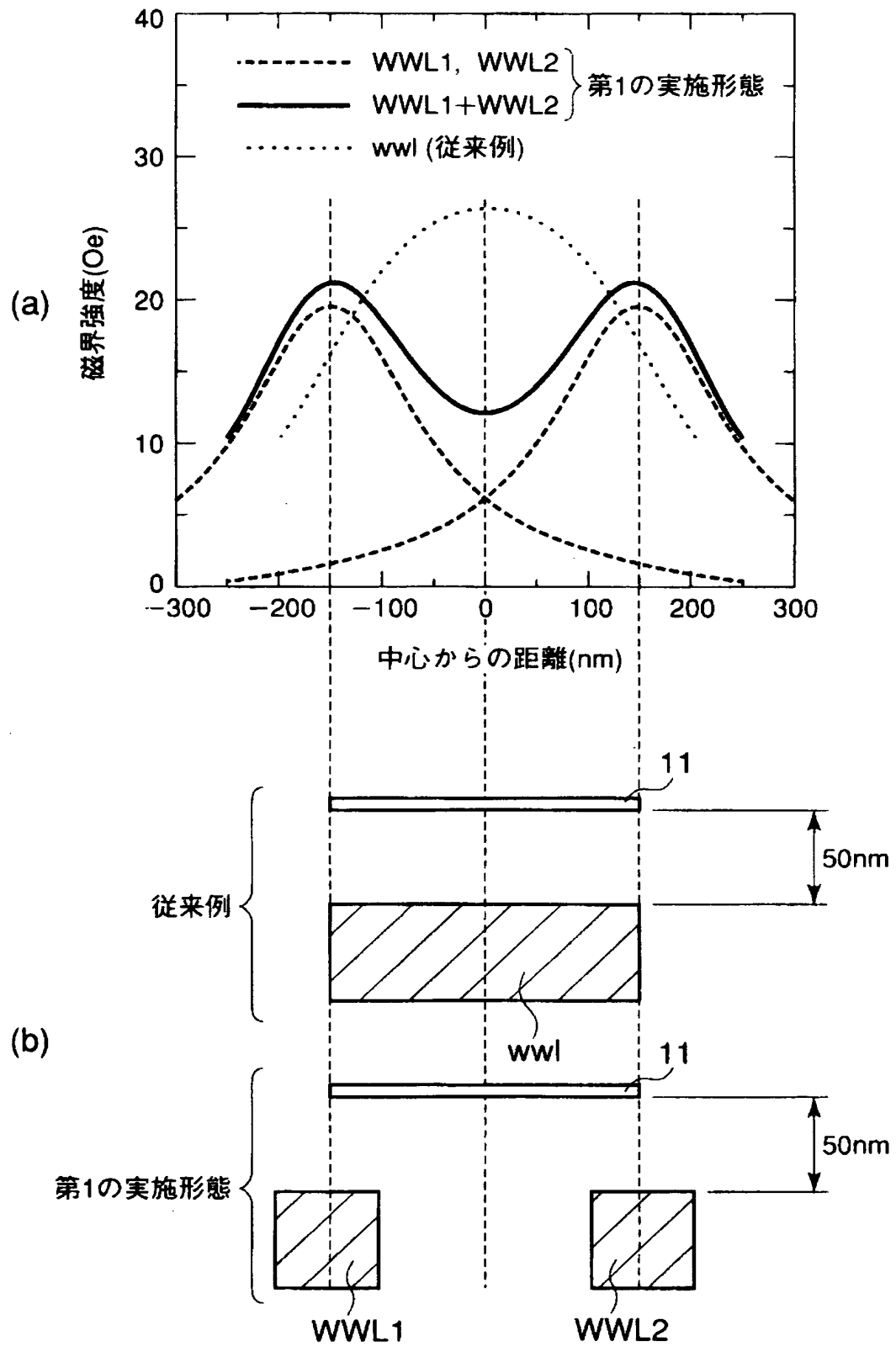
【図 3】



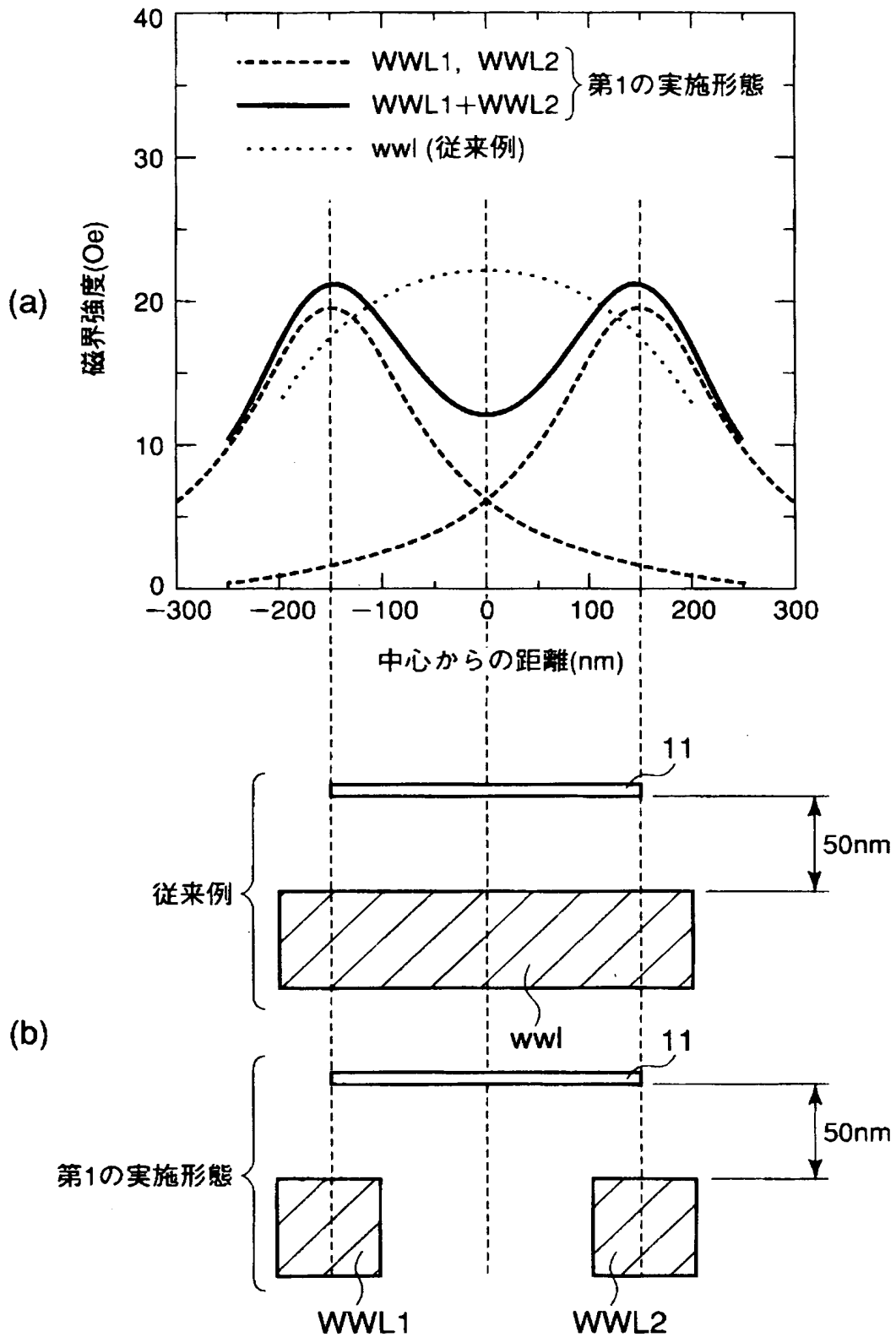
【図4】



【図 5】

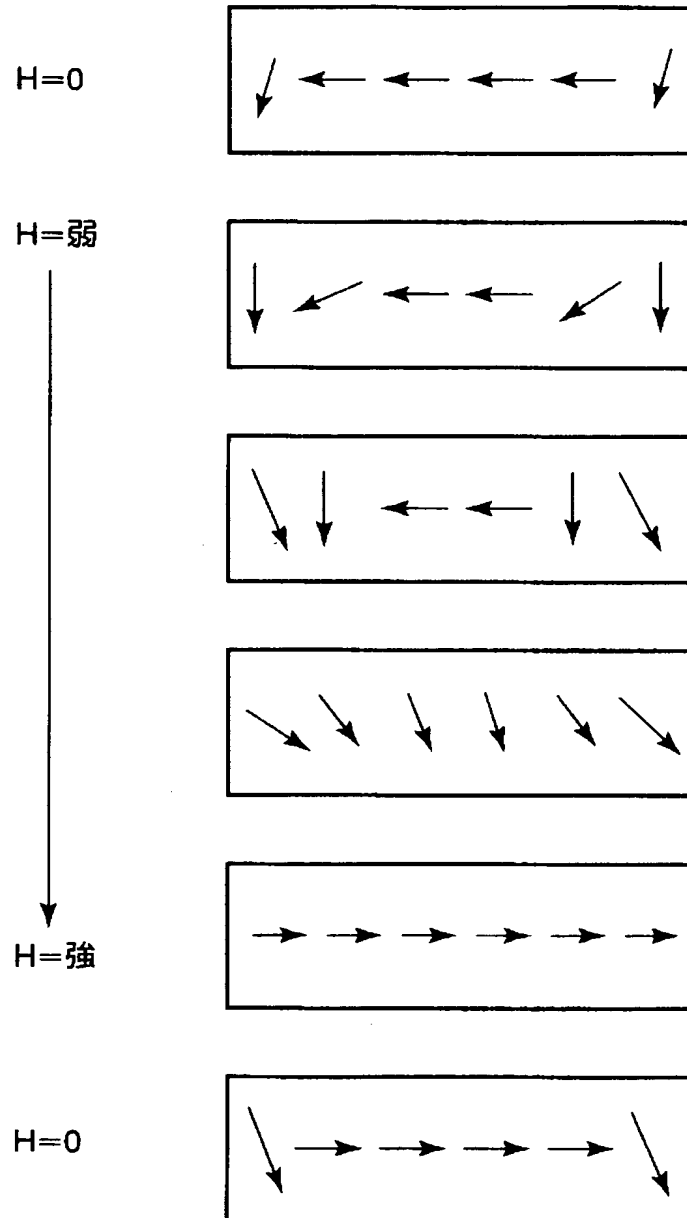


【図 6】

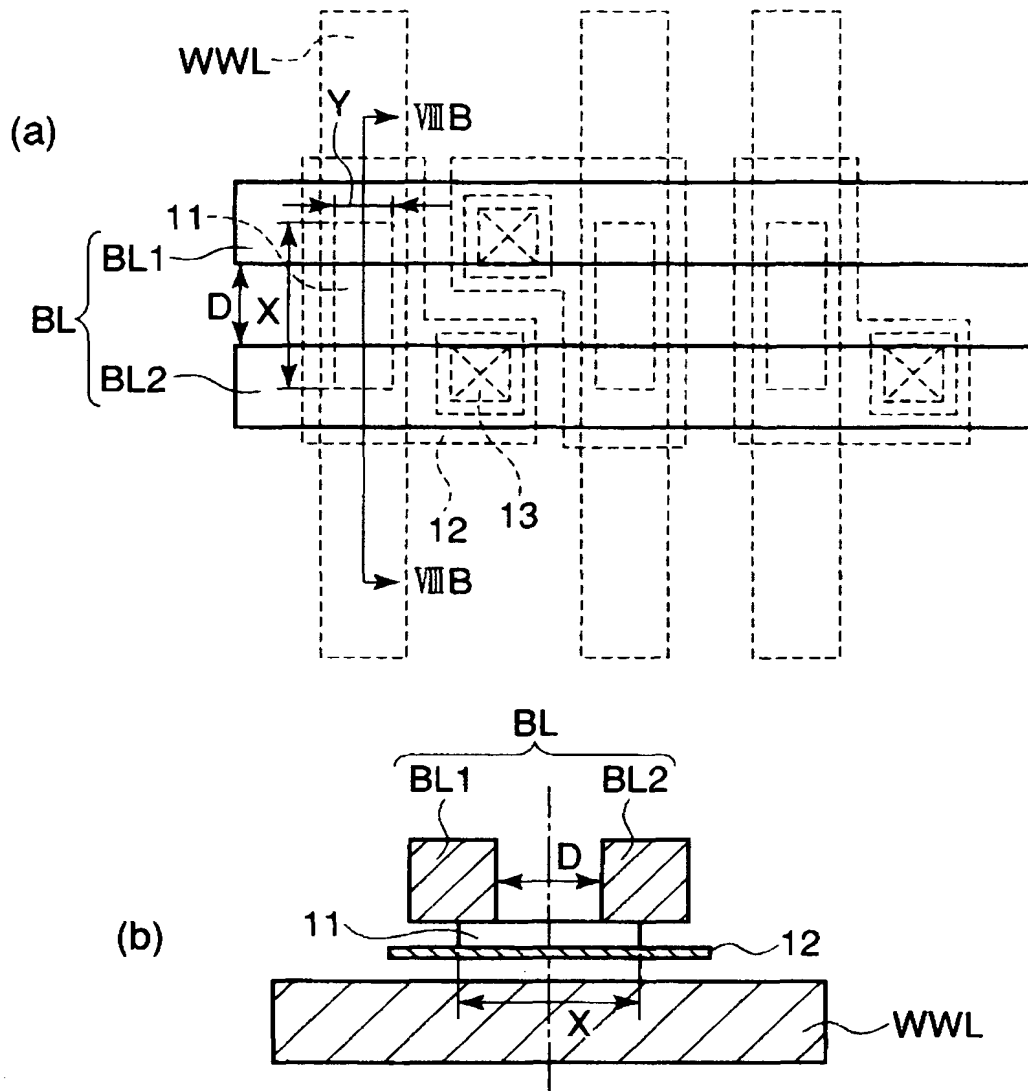




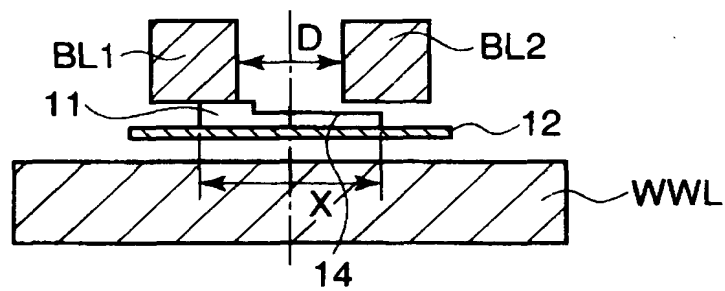
【図 7】



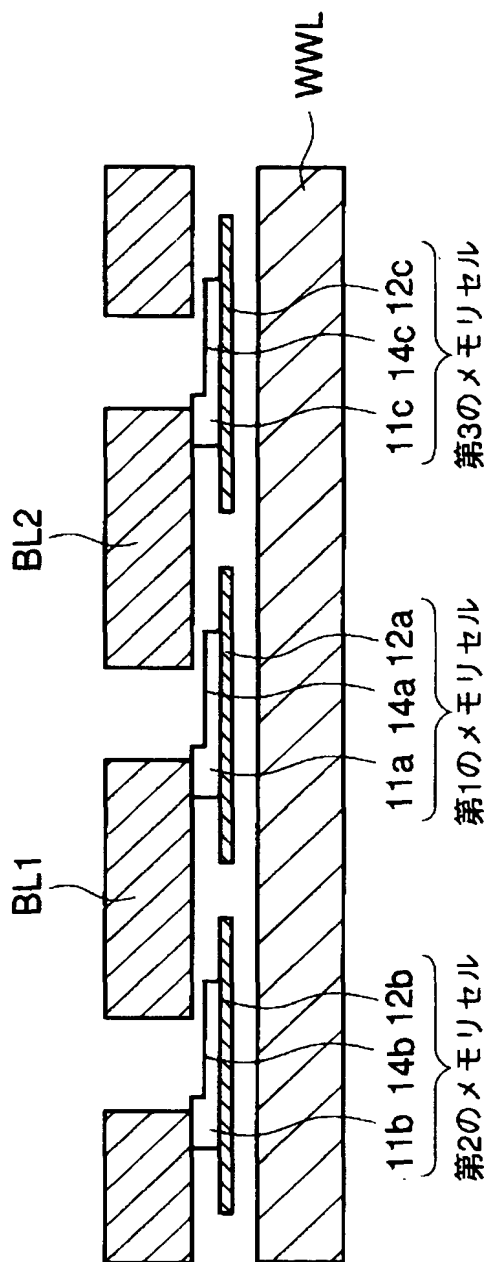
【図 8】



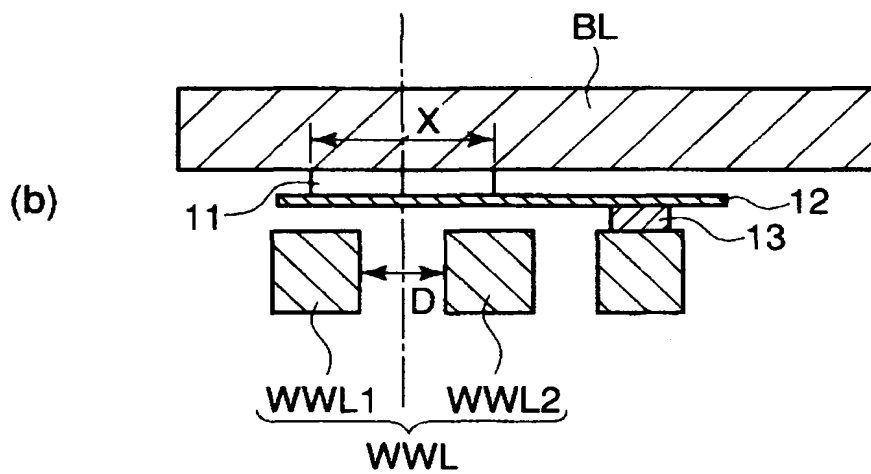
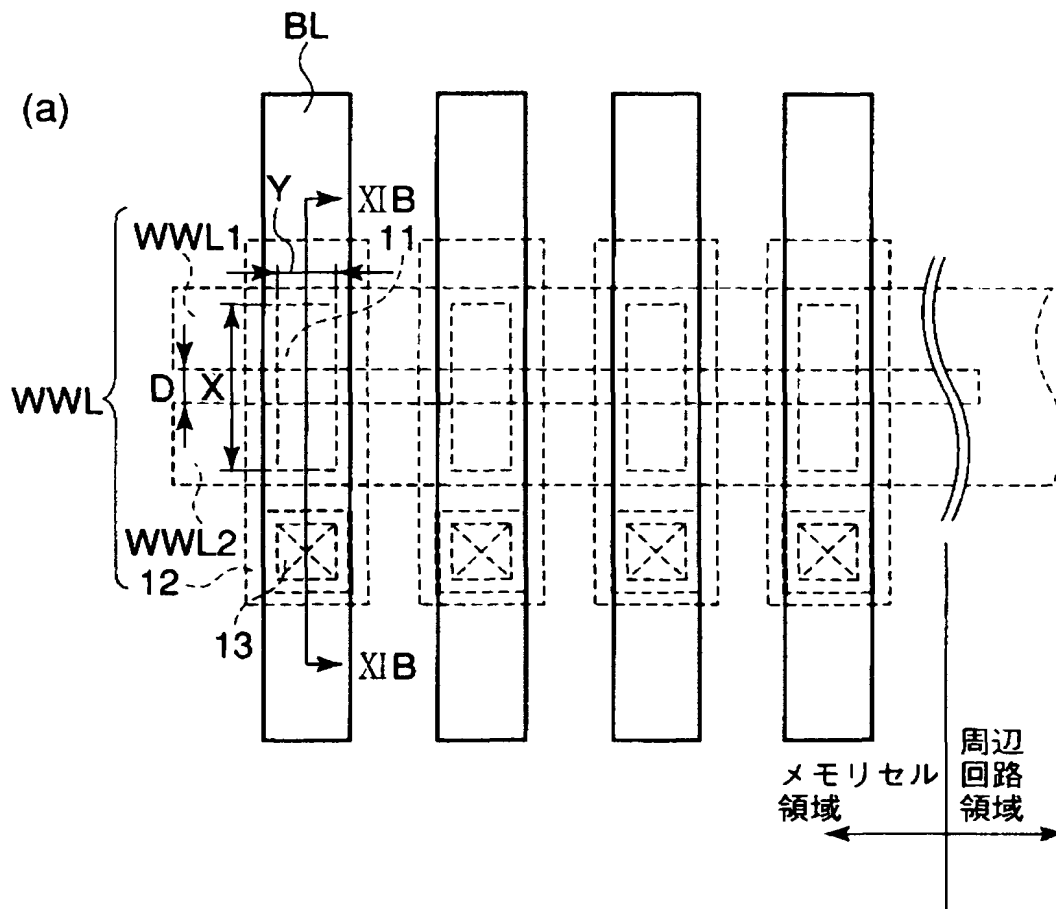
【図 9】



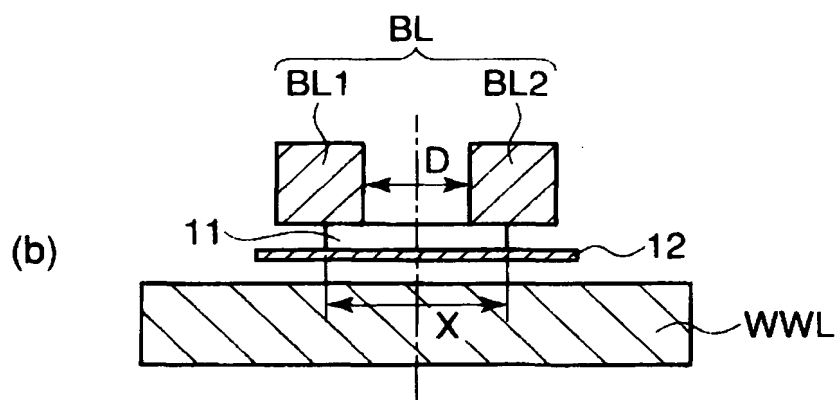
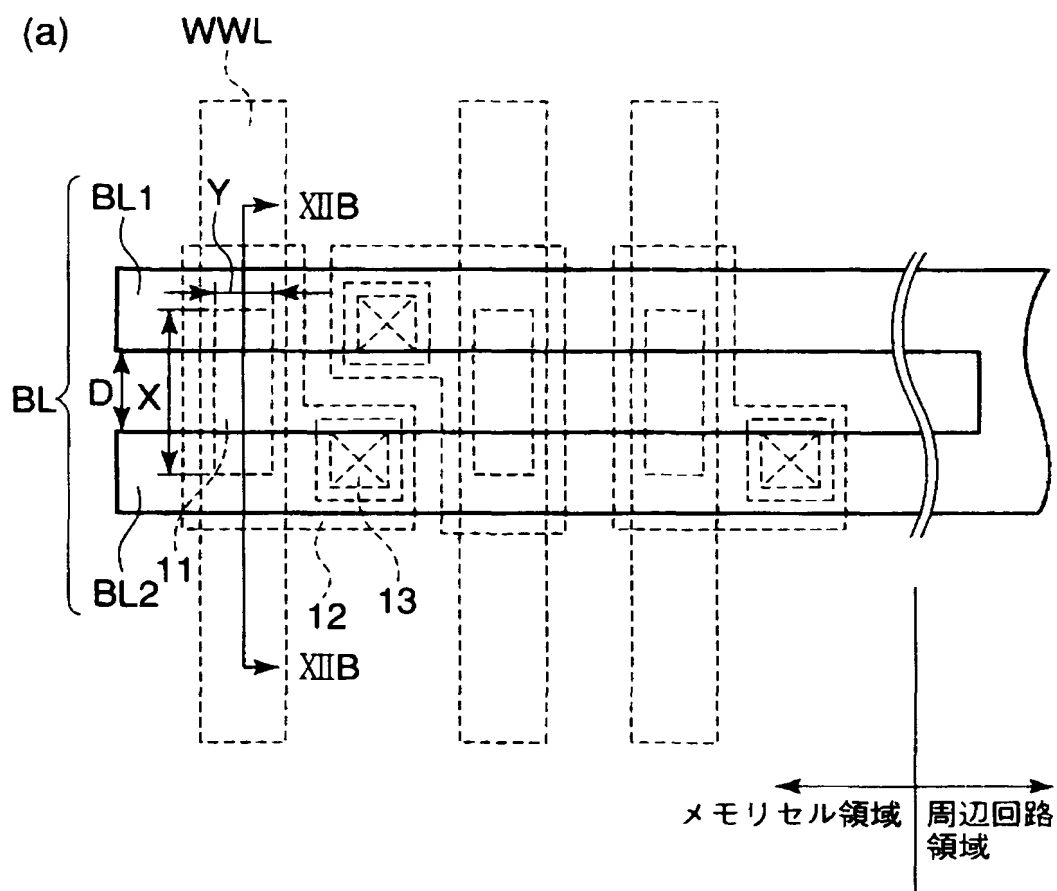
【図 1 0】



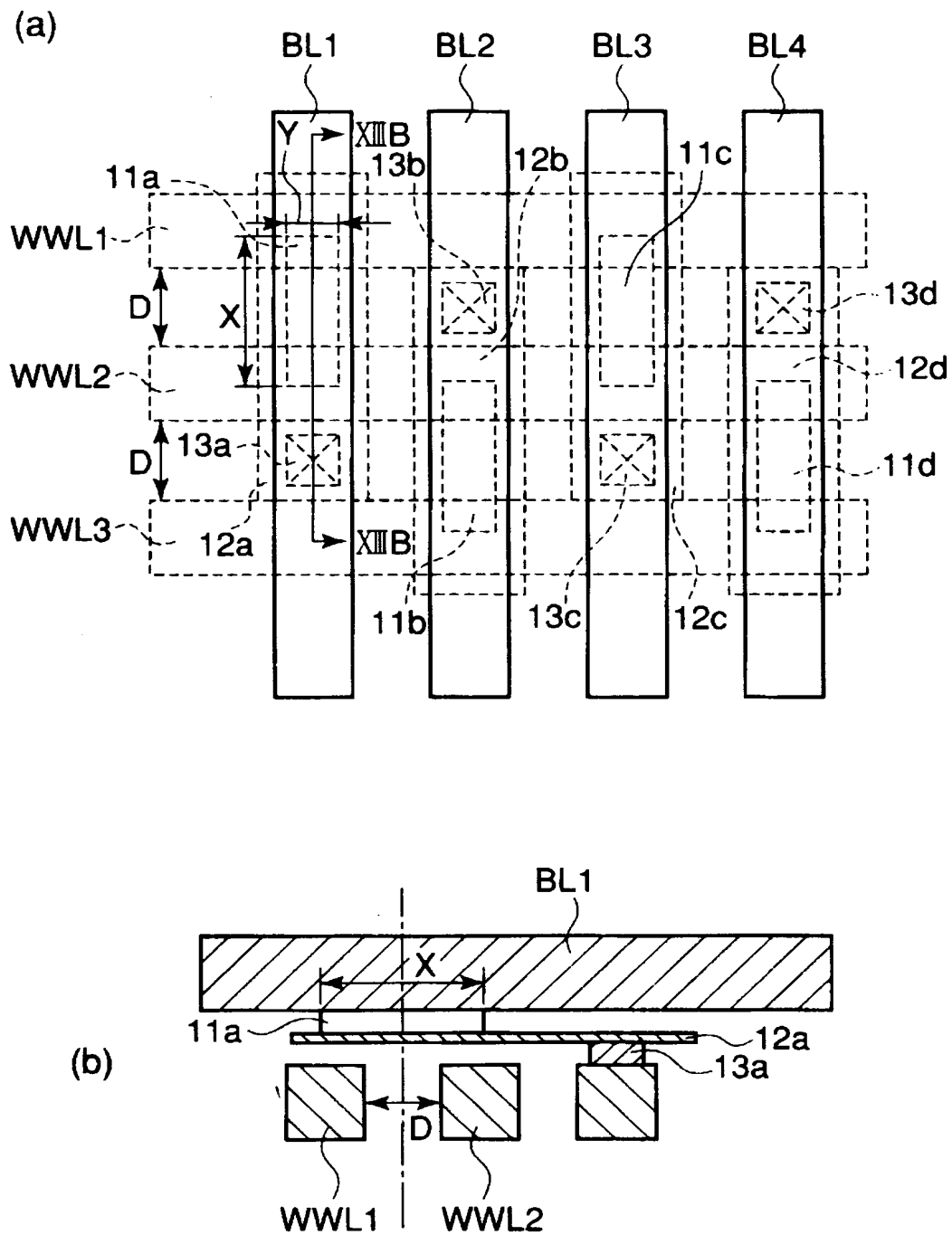
【図 1 1】



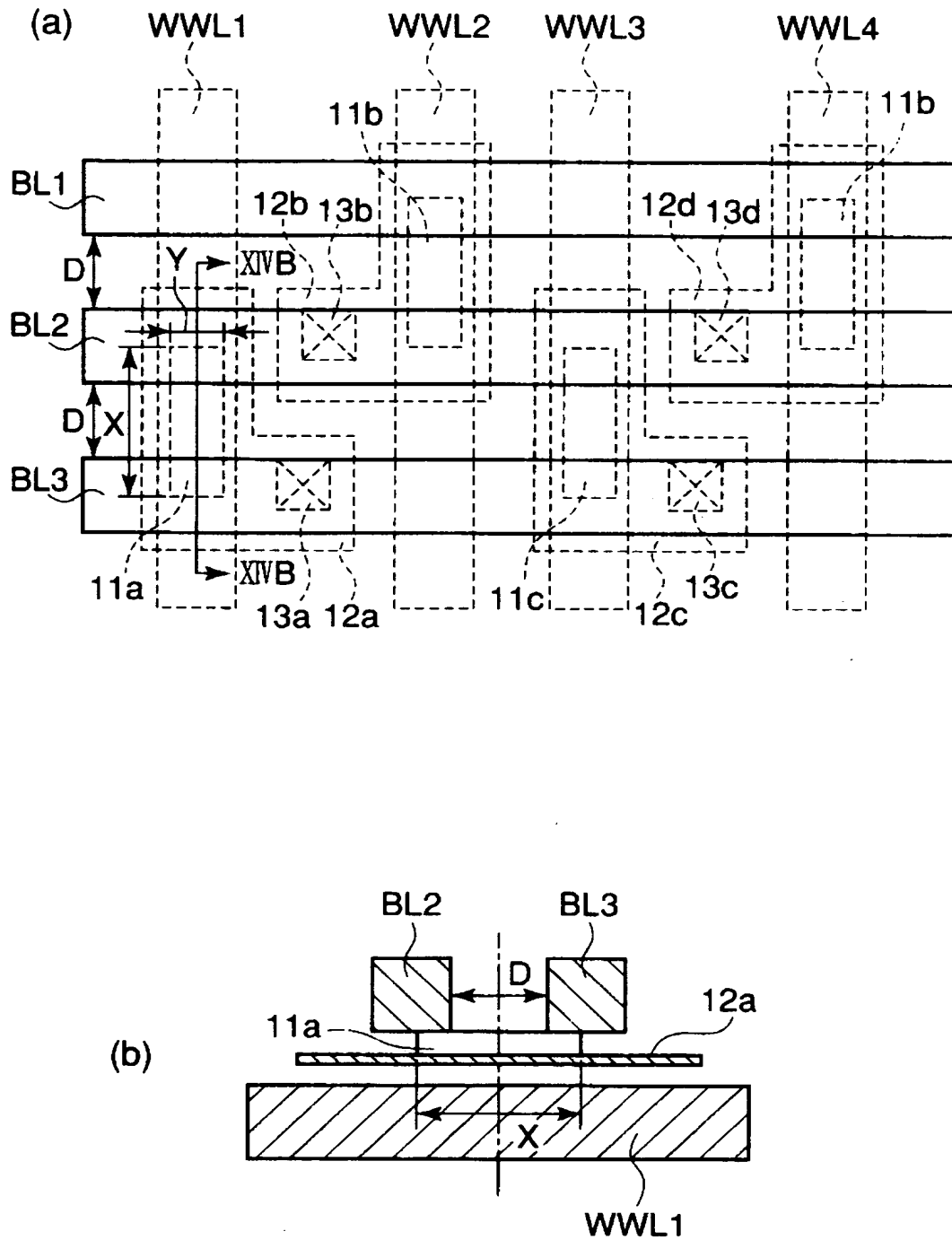
【图 1 2】



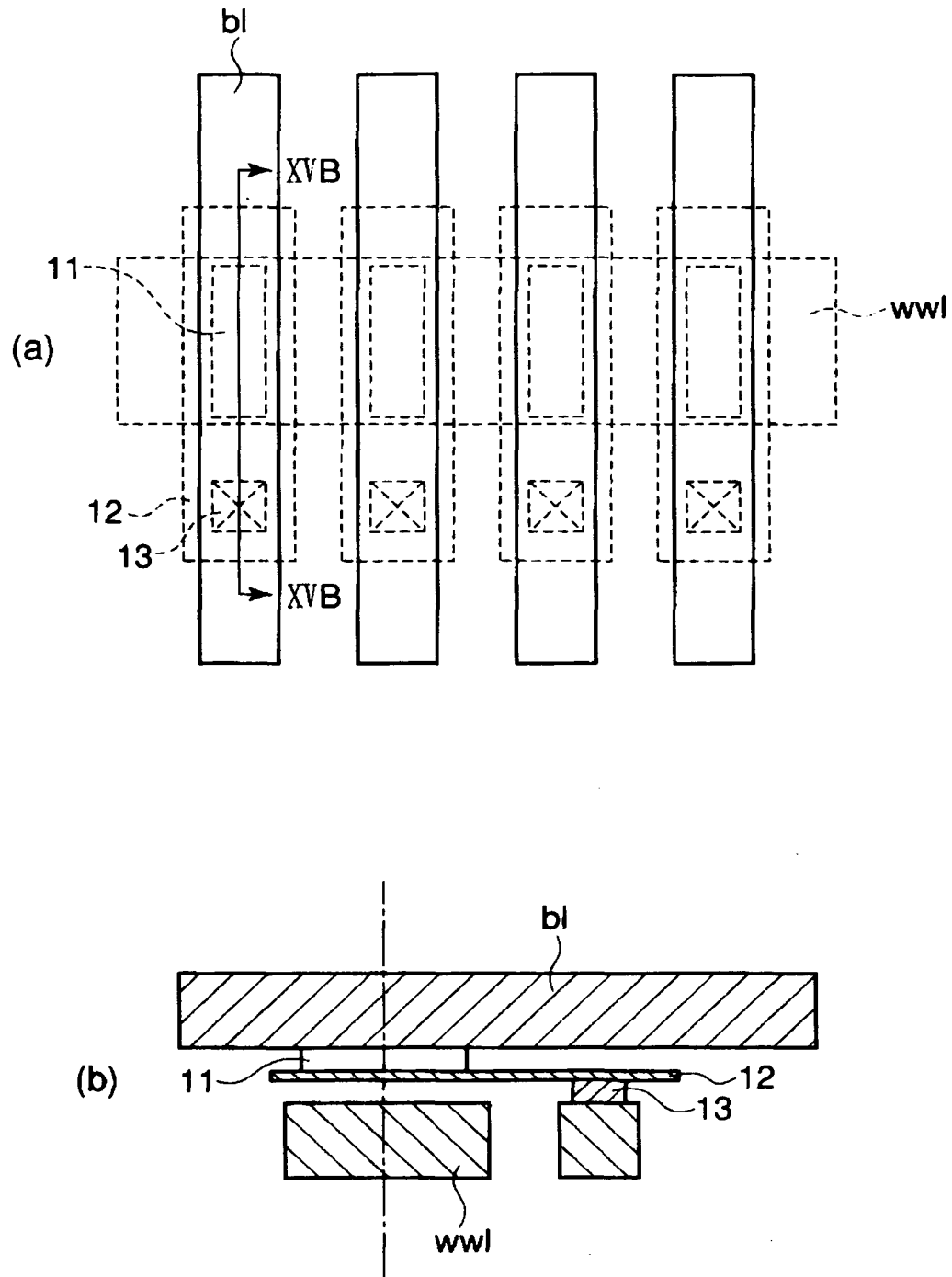
【図 13】



【図 1 4】



【図 15】





【書類名】 要約書

【要約】

【課題】 書き込み電流を低減することが可能な磁気記憶装置を提供する。

【解決手段】 磁気記憶装置は、第 1 の方向に延在され、この第 1 の方向と異なる第 2 の方向に複数に分割された第 1 の配線 WWL 1, WWL 2 と、第 2 の方向に延在された第 2 の配線 BL と、第 1 のメモリセル領域内の第 1 及び第 2 の配線 WWL 1, WWL 2, BL の交点近傍に配置され、分割された第 1 の配線 WWL 1, WWL 2 を跨ぐ第 1 の磁気抵抗効果素子 1 1 とを具備する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 3 0 7 8 ]

1. 変更年月日 2 0 0 1 年 7 月 2 日  
[変更理由] 住所変更  
住 所 東京都港区芝浦一丁目 1 番 1 号  
氏 名 株式会社東芝